

基于同步并行结构的视频处理 IP 模块的 VLSI 设计

张光烈, 郑南宁, 吴 勇, 张 霞

(西安交通大学人工智能与机器人研究所, 陕西西安 710049)

摘要: 本文在讨论隔行视频信号的逐行处理算法的 VLSI 实现和视频信号的色度处理和色度空间转换的硬件实现基础上, 针对视频信号处理实时性、并发性以及运算量大的特点, 提出了基于同步并行流水线的 VLSI 结构. 同时结合 SOC 的 IP 模块设计给出相应的硬件实现算法. 该设计已基于 0.35 μ m CMOS 工艺标准单元库进行了综合验证.

关键词: 同步并行结构; 视频处理; IP 模块; VLSI 结构

中图分类号: TN941.3 **文献标识码:** A **文章编号:** 0372-2112(2002)07-0945-04

VLSI Implementation for Video Processing IP Module Based on Synchronous and Parallel Architecture

ZHANG Guang-lie, ZHENG Nan-ning, WU Yong, ZHANG Xia

(Xi'an Jiaotong University, Xi'an, Shaanxi 710049, China)

Abstract: This paper describes a novel design method of real time video processing, de-interlacing, color transient improvement and color space conversion, which is suitable for VLSI implementation. A synchronous and parallel pipeline architecture is proposed to reduce the complexity of video processing. The hardware design based on IP module of SOC is also discussed. This design has been verified by Synopsys EDA tool based on 0.35 μ m CMOS.

Key words: synchronous and parallel architecture; video processing; IP module; VLSI architecture

1 引言

随着高清晰度电视(HDTV)、可视电话、桌面视频系统的不断发展和网络环境下计算视频的需求, 视频信号和播送中出现了不同的扫描方式, 对扫描格式之间的转换要求越来越高. 不仅在专业方面, 而且在消费类设备中, 这种逐渐增长的需求引起了关于“隔行与逐行”的讨论^[1], 促进了隔行视频信号的逐行处理、数字视频信号的增强、滤波算法的研究. 当前的 PAL 制式和 NTSC 制式的电视系统由于频带的限制, 都采用隔行扫描的方式, 在视觉上会造成行间和图像的大面积闪烁的效果^[2]. 但是, 利用液晶、等离子等实现的大尺寸显示器开始得到运用, 这类显示器只允许逐行扫描, 并且 PC 机都采用无闪烁的逐行扫描视频信号. 同时, 由于视频处理数据量大, 具有实时处理的要求, 因此研究基于 VLSI 实现的视频处理算法及其硬件实现具有重要的现实意义.

另一方面, 集成电路工艺的发展导致其规模越来越大, 复杂程度越来越高, 这也为视频处理算法的硬件实现提供了基础. 同时, ASIC 市场竞争的加剧, 要求设计对市场具有快速的反应能力, 缩短产品开发周期, 然而, 芯片设计能力的提高却严重滞后于半导体工艺的发展. 为解决这一矛盾, 必须提高设计能力. 因此, 设计数据和知识的重复利用是解决这一问题的

关键途径. 同时, IP(Intellectual Property)技术的发展为 SOC(System on a Chip 片上系统)的设计提供了有效的方法.

基于以上两方面的考虑, 本文在研究隔行视频信号的逐行处理算法以及色度信号的瞬态特性改善的硬件实现算法的基础上, 针对视频处理 IP 模块的设计提出了同步并行处理的硬件实现. 本文的内容安排如下: 首先介绍 VLSI 的同步并行流水线结构和 IP 模块设计方法, 然后讨论隔行视频信号的逐行处理和色度瞬态特性改善算法以及色度空间转化电路的实现的基础上, 最后给出了基于 IP 模块的视频处理电路的设计.

2 IP 模块的开发

SOC(System on a Chip, 片上系统)设计包括 IP 模块设计和系统设计两部分, 其核心技术是 IP 模块的设计. 基于 SOC 结构的 IP 模块设计有利于设计数据和知识的重用.

IP 核分为软核(soft IP)、固核(firm IP)和硬核(hard IP)三种. 软核是可综合的 HDL 描述, 非常灵活, 但是其功能较弱, 在芯片的时延、占用面积等方面不便约束, 而且由于 IP 的使用者必须获取 RTL 级的源代码, 使 IP 的保护增大了难度. 硬核为芯片版图级设计, 在电源、尺寸、时延等各方面都进行了专业性的优化, 功能很强, 但是, 由于设计与工艺已完成而不

能更改,使得设计不够灵活,可再利用性不够高.固核是介于软核与硬核之间的 IP 设计,为门级 HDL 描述,允许用户重新定义关键的性能参数,内部连线表有的可以重新优化,同时 IP 的保护也较为容易.

在设计 IP 模块过程中可分为:高层系统设计、IP 创建、IP 集成以及系统验证^[3].高层设计是针对系统规范、处理算法和系统结构的设计.在高层系统设计完成之后,按照功能结构可将系统分成相应模块,对所需要的 IP 进行创建.在各 IP 模块设计完成后,IP 的集成是整个设计中关键的环节.为了使各个 IP 模块协调工作,需要建立系统级的硬件、软件接口,根据各 IP 模块的设计产生相应电路完成 IP 的集成.系统验证与 IP 模块的集成是紧密联系的.系统验证不但要基于 IP 模块本身的功能更要兼顾到系统的结构和性能.

从 IP 模块设计过程的分析,可以看出,IP 模块的设计和重用过程中需要进行大量的设计数据和文档的交换.因此,建立统一的 IP 重用标准,最大限度的利用已有的 IP 模块设计是很有必要的.

针对 IP 模块设计的要求,同时兼顾到面向视频处理电路设计运算量大,延迟要求较高的特点,本文在探讨视频处理算法实现以及电路设计的基础上,进一步对 IP 设计的实现和性能以及模块验证进行了讨论.

3 隔行视频信号的运动自适应插补和色度处理算法

3.1 运动自适应逐行插补算法

在隔行视频信号的插补过程中,为了在图像的运动和静止两种区域都能获得好的插补效果,需要对视频信号进行运动检测,根据相邻图像的帧间差估算出图像的运动信息,在场间和场内插补之间进行切换.但由于图像中的噪声,往往使是静止图像序列的视频图像之间也会存在差别.另外,视频信号的色副载波也导致了彩色区域的非一致性,以及对信号进行采样时钟的不稳定,都会使相邻图像序列的水平区域不能完全重复.因此,需要一个可变系数来描述视频图像的运动,而不能仅仅用“0”或者“1”给出运动检测的估计结果.在复杂场景中区分图像的运动和静止区域,应用基于运动检测的自适应帧间滤波器分别选择最优的插补策略,可以获得较好的图像插补结果.

图像的帧间运动检测利用到四场的图像信息.由于像素点的离散性和图像的噪声干扰,图像运动信息的估计值 I_m 需要利用中值滤波以及阈值分割算法进行后处理.

图像运动信息的估值 I_m 为:

$$I_m = \text{Med}\{D_a, D_b, D_c\} - I_{TH} \quad (1)$$

式中 $D_a = |a_{32} - a_{12}|$, $D_b = |b_{32} - b_{12}|$, $D_c = |c_{42} - c_{22}|$, I_{TH} 为阈值.

根据复杂场景图像的运动区域分割,调整插补滤波器的结构参数,实现图像插补的运动自适应滤波.滤波器的结构由式(2)给出:

$$s(x, y, t) = I_m \times g(x, y, t) + (1 - I_m) \times g^*(x, y, t) \quad (2)$$

上式中 $g(x, y, t)$ 表示帧内插补, $g^*(x, y, t)$ 表示帧间插

补.

在图 2 中给出了图像运动检测的硬件设计结构图,其中 T_{Field} 为场延迟, T_{Frame} 为帧延迟, T_{Line} 为行延迟.

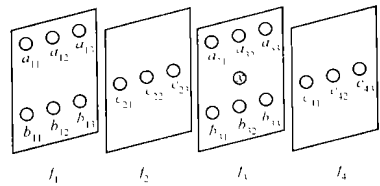


图 1 四场信号运动检测的示意图

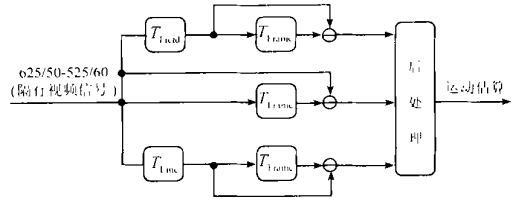


图 2 自适应逐行插补算法运动信息估算的硬件结构图

3.2 彩色瞬态特性

人眼对于亮度的敏感程度大于对于色度的敏感程度,所以完全可以让相邻的像素使用同一个色度值,而人眼的感觉不会起太大的变化,通过损失色度信息来达到节省存储空间,压缩传输频带的目的,这就是 YUV 的基本思想.

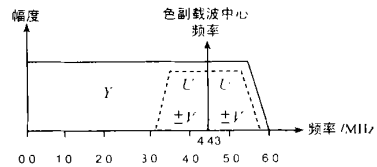


图 3 复合视频信号(PAL-D)的亮度、色度频带示意图

基于这一思想,在 NTSC 和 PAL 复合信号标准体系中,如图 3 所示,复合视频信号的频带占 6MHz 带宽,而两个色差信号的频带带宽被减少到大约 2MHz,大大压缩了视频信号的传输频带.在数字视频信号中,对表示色度的色差信号进行亚采样的做法经常用于减少数据密度,如图 4 所示,4:2:2 格式就是一个明显的例子.它充分利用了人眼对于亮度变化的敏感程度要强于色度变化这一特点^[4].

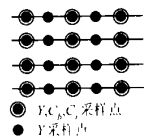


图 4 4:2:2 格式的数字复合视频

另一方面,色度信号的频带压缩以及色差信号的亚采样也造成了信号传输特性的改变.在图像的边缘处,亮度信号由于传输频带比色度信号的传输频带宽,因此亮度信号的边缘将比色度信号陡峭,导致色度信号的瞬态特性变坏.而数字视频信号中亮度的采样率是 13.5MHz,而相应的色度信号的采样率为 6.75MHz,也会产生同样的后果.

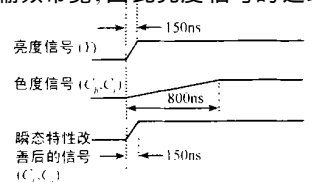


图 5 彩色瞬态特性改善示意图

为了改善色度信号的动态特性需要对 C_bC_r 信号进行增强处理,改善色度信号的瞬态传输特性. 考虑到色度信号处理的主观感受和电路设计的复杂程度,我们采用了基于二阶差的彩色瞬态特性改善算法. 假定水平处理窗口为 $2m$, 相应的水平增强信号为:

$$y(n) = [x(n+m) + x(n-m)]/4 - x(n)/2 \quad (3)$$

根据信号增强的强度可以调节参数 k , 因此, 处理后的色度信号可表示为:

$$x'(n) = x(n) + k \times y(n) \quad (4)$$

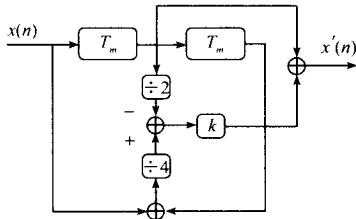


图 6 基于二阶差的彩色瞬态特性改善算法

3.3 视频处理 IP 模块的接口转换

在进行视频处理专用 IP 模块设计时, 考虑到接口的通用性问题, 设计 YC_bC_r 到 RGB 的色度空间转换矩阵电路是必须的.

另一方面, 在彩色视频图像处理中, 我们往往采用 YC_bC_r 的格式分别对亮度和色度信号进行处理. 而视频信号的显示设备, 采用 RGB 的格式. 因此, 在视频处理和显示系统中, 也需要使用色度空间转换矩阵电路. 同时, 色度空间变换电路的精度及稳定性都要比模拟电路好, 色差信号数字化处理的延时精度已知, 而且在设计和实现时可以保证和控制整体延时为系统时钟周期的整数倍, 亮度和色度信号的延时调整就可以用 D 触发器的简单级联来实现.

为了满足数字视频高速处理的要求, 使用了同步流水线结构实现矩阵转换的接口电路. 同步流水线结构 (pipeline) 是由若干子模块组成, 称为流水线段, 流水线段由组合电路组成, 每个流水线段之间由同步时钟锁存器相连, 在时钟脉冲到达时, 所有数据从锁存器同时将数据输出到下一个流水线段中. 由于而同步流水线结构的每个流水线段的电路结构简单, 延迟较小, 因此保证同步流水线结构达到很高的工作频率, 适用于开发细粒度并行控制, 满足视频处理对计算速度的要求^[5].

同步流水线结构应用于设计高速流水运算处理部件, 将向更高时钟频率方向发展. VLSI 工艺的迅速发展为高速流水线处理部件的设计提供了有力的支持. 但由于控制的复杂性及其电路实现等问题的制约, 流水线段数不能无限制的增加, 同时由于可能发生流水线中断, 往往达不到理想的加速比. 同步流水线电路的设计必须解决好时钟错位 (clock skewing) 的问题.

YC_bC_r 到 RGB 的色度空间转换矩阵如下:

$$\begin{aligned} R &= 1.164(Y - 16) + 1.596(C_r - 128) \\ G &= 1.164(Y - 16) - 0.813(C_r - 128) - 0.392(C_b - 128) \\ B &= 1.164(Y - 16) + 2.017(C_b - 128) \end{aligned} \quad (5)$$

在本文的设计中对视频信号采用了 8bit 量化处理, 这样可以降低硬件实现的复杂程度, 同时将小数运算转换为整数运算.

$$R = (298Y + 408C_r) / 256 - 223$$

$$G = (298Y - 208C_r - 100C_b) / 256 + 136$$

$$B = (298Y + 516C_b) / 256 - 277 \quad (6)$$

从上式可以看出, 转换电路需要用到 9bit 和 10bit 的乘法器, 这会占用大量硬件资源, 并降低运算的速度. 在使用同步流

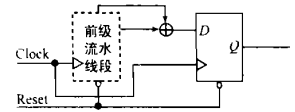


图 7 同步流水线结构图

水线结构解决这一问题时, 需要进行有效的流水线段的分割, 分析同步流水线结构的实现方法, 我们用移位操作代替乘法器, 因此式 (6) 可以改写如式 (7) 所示:

$$R = [(256 + 32 + 8 + 2)Y + (256 + 128 + 16 + 8)C_r] / 256 - 223$$

$$G = [(256 + 32 + 8 + 2)Y - (128 + 64 + 16)C_r$$

$$- (64 + 32 + 4)C_b] / 256 + 136$$

$$B = [(256 + 32 + 8 + 2)Y + (512 + 4)C_b] / 256 - 277 \quad (7)$$

为了最大限度的提高处理速度, 每个流水线段中仅包含一个加法器. 其结构如图 7 所示.

关于时钟错位 (clock skewing) 问题, 我们可以利用 D 触发器加以解决.

4 视频处理 IP 模块的 VLSI 结构和设计综合结果

IP 模块中包括: 去隔行 (De interlacing), 彩色瞬态特性改善 (Color Transient Improvement, CTI) 和色度空间转换电路 (Color Space Conversion, CSC). 为了便于 IP 模块的提交和验证, 在设计中还加入了产生测试信号的彩条模块 (Color bar). IP 模块的结构框图如图 8 所示:

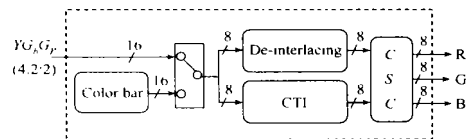


图 8 IP 模块功能结构框图

在完成 RTL 代码的基础上, 编写 IP 模块的 Synopsys 综合约束文件, 采用 0.35μm CMOS 工艺, 用 Synopsys EDA 软件进行综合. 电路规模为 10 万门左右.

工作时钟频率用 100MHz (10ns) 约束进行综合, 最大延时路径的时延报告文件如表 1 所示:

表 1 最大延时路径的 Synopsys 时延报告

Clock d_clock_21 (rise edge)	10.00	10.00
Clock network delay (ideal)	0.00	10.00
clock uncertainty	-0.50	9.50
d_sum_ab_reg_13A/CP (DFF1Q)	0.00	9.50
library setup time	-0.49	9.01
data required time		9.01
data required time		9.01
data arrival time		-8.83
slack (MET)		0.18

从表 1 可以看出, 本 IP 模块设计的工作频率可达 100MHz 左右, 满足视频处理模块对高速并行处理的延时要求。

IP 模块已成功的应用于视频格式转换处理专用芯片 VPP860 的设计中. 该芯片的版图如图 9 所示:

VPP860 集成了本文讨论的视频处理 IP 模块, 采用 0.35 μ m CMOS 工艺, 晶片面积 17.5mm², 实测芯片的系统工作时钟可达 66MHz, 达到芯片的设计要求。

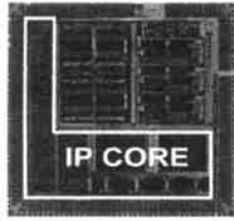


图 9 芯片 VPP860 版图 (其中线框内为本文 IP 模块设计)

5 结论

本文围绕基于 SOC 的视频处理 IP 模块设计, 深入讨论了面向隔行视频信号的逐行处理以及相关色度处理算法的 VLSI 实现. 针对视频处理运算量大, 运算速度要求较高的特点, 本文提出了基于同步并行流水线的 VLSI 结构. 此 IP 模块设计已经利用 0.35 μ m CMOS 工艺标准单元库进行了综合验证。

参考文献:

- [1] Gerard De Haan, Erwin B. Belleis. Deinterlacing——An Overview [J]. Proceeding of The IEEE, 1998, 86(9): 1839- 1857.
- [2] Ho Young Lee, Jin Woo Park, et al. Adaptive scan rate up conversion system based on human visual characteristics [J]. IEEE Transactions on Consumer Electronics, 2000, 46(11): 999- 1006.

- [3] 韩奇, 梁宇等. IP 模块设计: 实例研究 [J]. 固体电子学研究与发展, 2000, 20(3): 256- 263.
- [4] Keith Jack. Video Demystified: A Handbook for the Digital Engineer [M]. Virginia: LLH Technology Publishing, Eagle Rock, 1996. 422- 423.
- [5] 龚大年, 何芸等. 视频信号处理器的并行结构综述及分类 [J]. 电子学报, 2000, 28(7): 96- 100.
- [6] Han D, Shin Changyong, Choi Seungjong, et al. A motion adaptive 3-D deinterlacing algorithm based on the brightness profile pattern difference [J]. IEEE Trans. Consumer Electronics, 1999, 45(3): 690- 696.

作者简介:



张光烈 男, 1974 年出生于重庆市, 1997 年毕业于西安交通大学, 获学士学位, 2000 年硕士毕业于西安交通大学人工智能与机器人研究所, 现攻读博士学位, 主要从事数字视频与图像处理方向的研究以及 VLSI 设计。



郑南宁 男, 1952 年出生于江苏省南京市, 教授、博导、中国工程院院士, 1985 年 3 月获日本庆应大学工学博士学位, 研究领域包括智能系统与模式识别、机器视觉与图像处理、神经网络以及数字视频与 VLSI 设计。